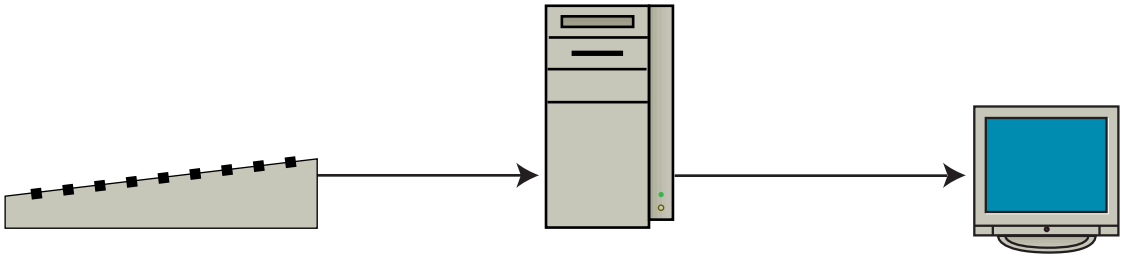
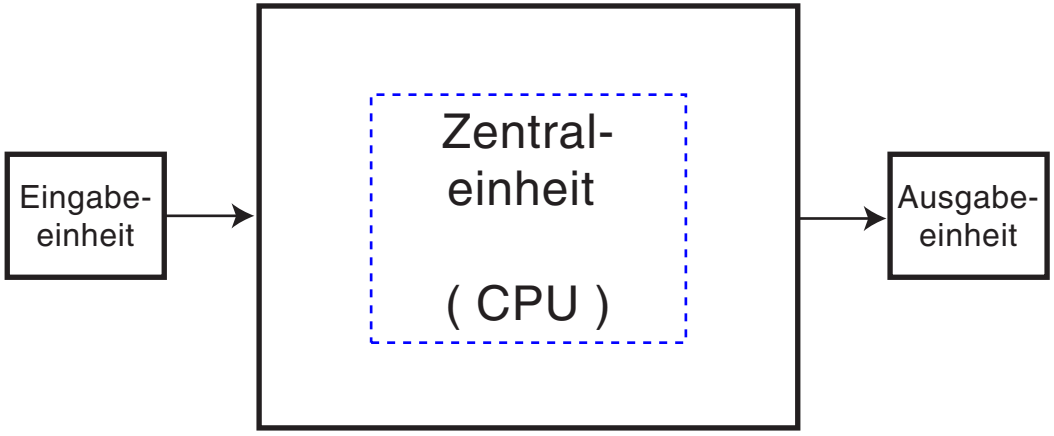
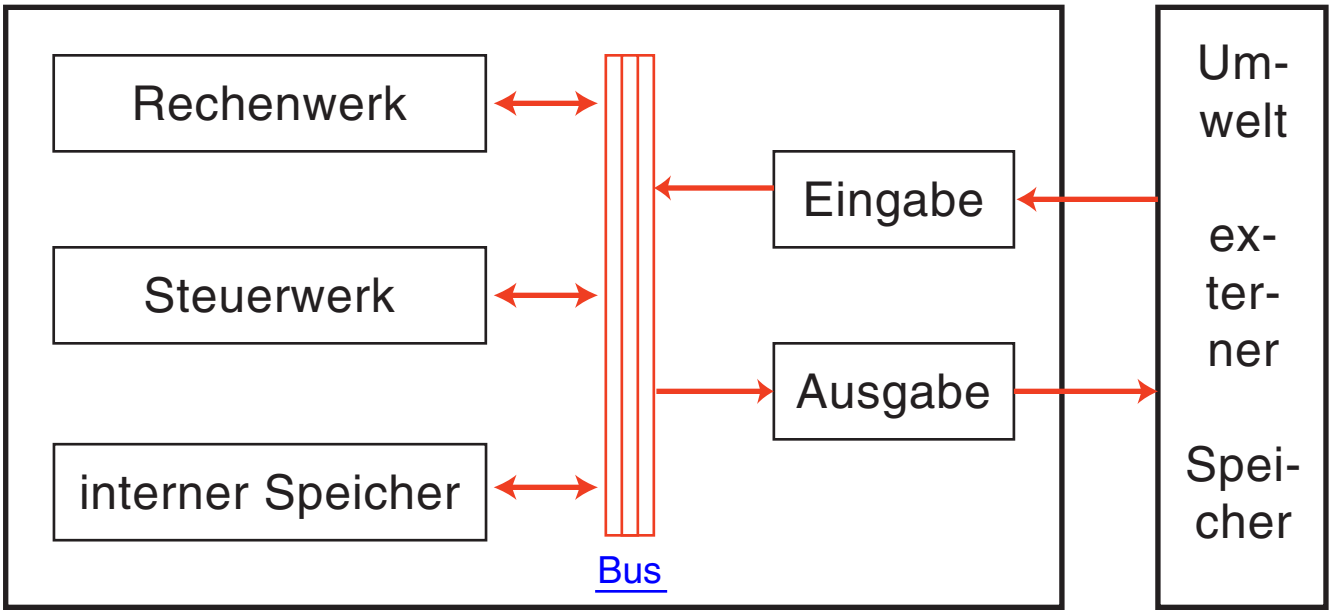


Von - Neumann - Rechner

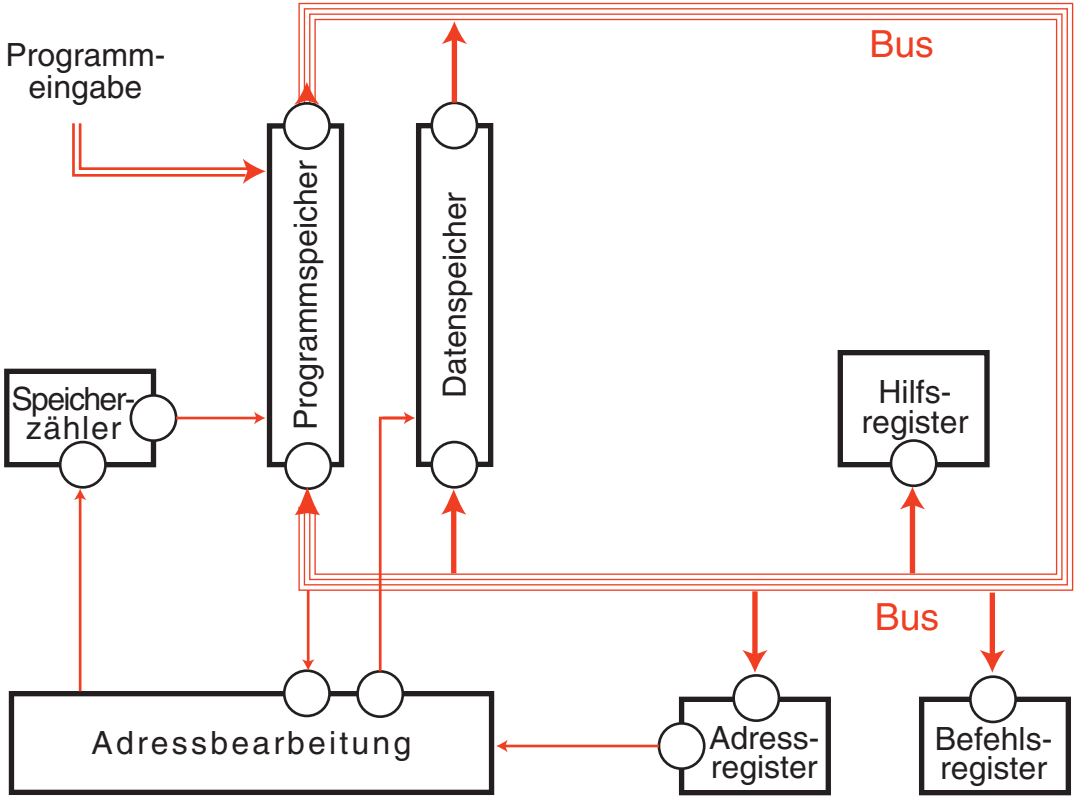


Von-Neumann-Rechner mit Busstruktur



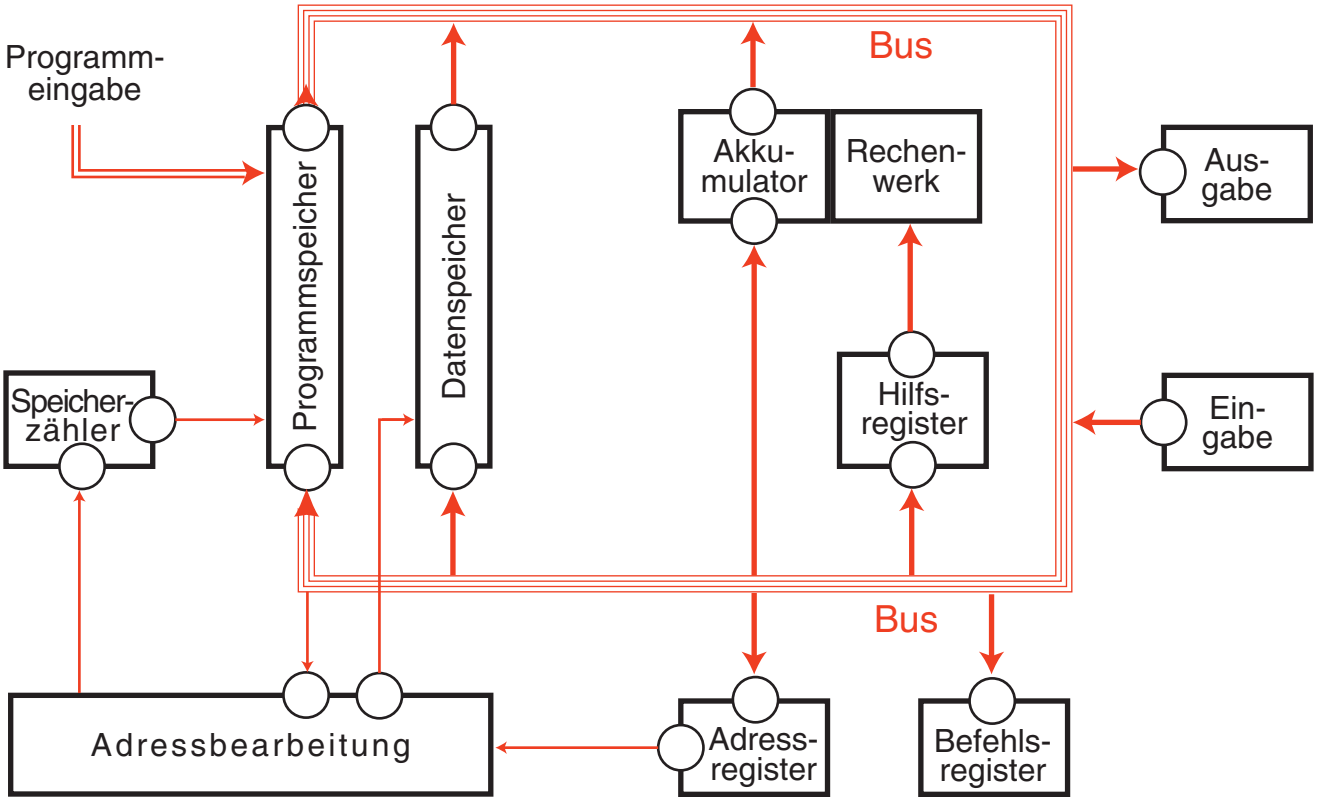
Arbeitsweise eines Prozessors : Holen

Die Befehle werden aus dem Programmspeicher geladen (Fetch-Zyklus) und anschließend dekodiert. Erst im nächsten Arbeitsgang können dann die Befehle ausgeführt werden. Hierzu muss das Blockbild verfeinert werden.



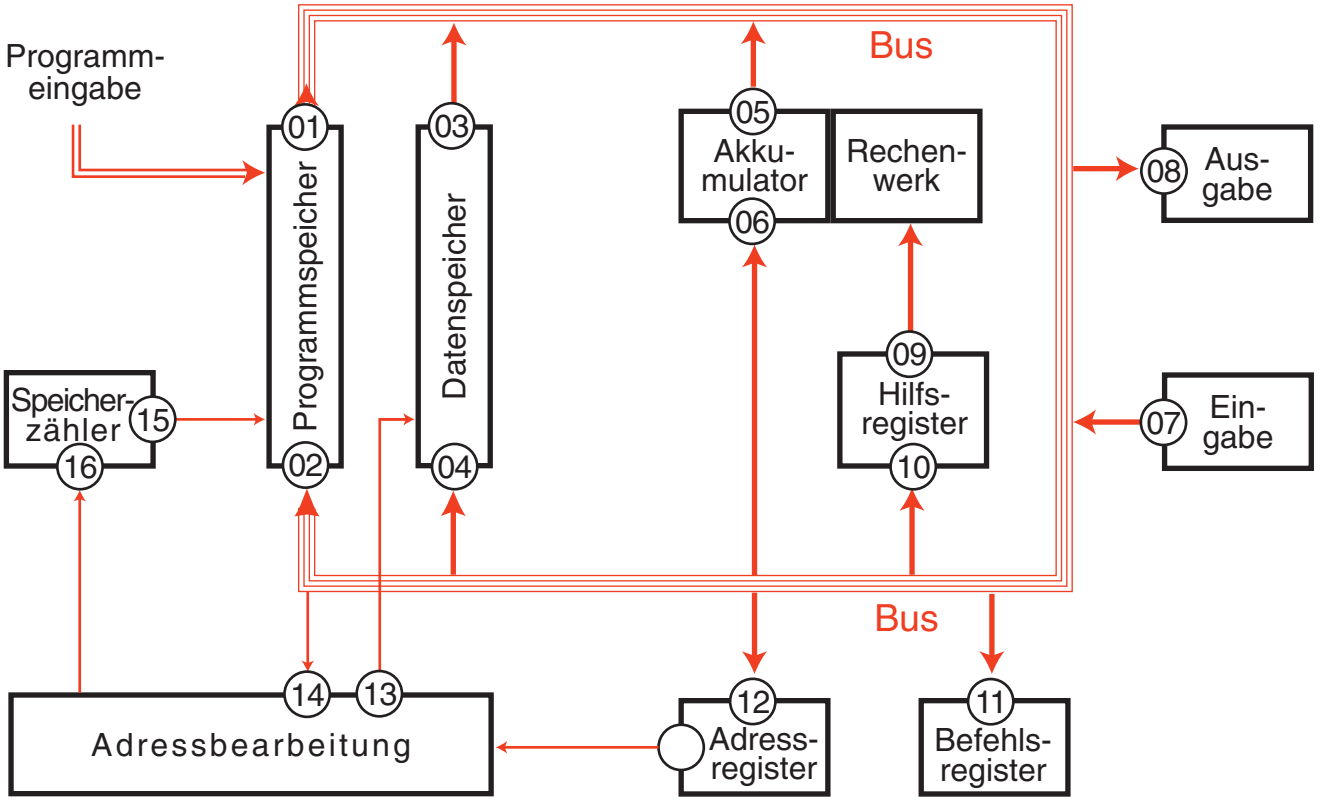
Arbeitsweise eines Prozessors : Ausführen

Nach dem Holen und Dekodieren können Assemblerbefehle wie EIN, AUS, LD adr, STO adr, ADD adr, SUB adr, …(Mikroprogrammierung) ausgeführt und die Ergebnisse gespeichert werden (Execute-Zyklus). Die Befehlsbearbeitung besteht demnach aus den Phasen **H**olen, **D**ekodieren, **A**usführen, **S**peichern.



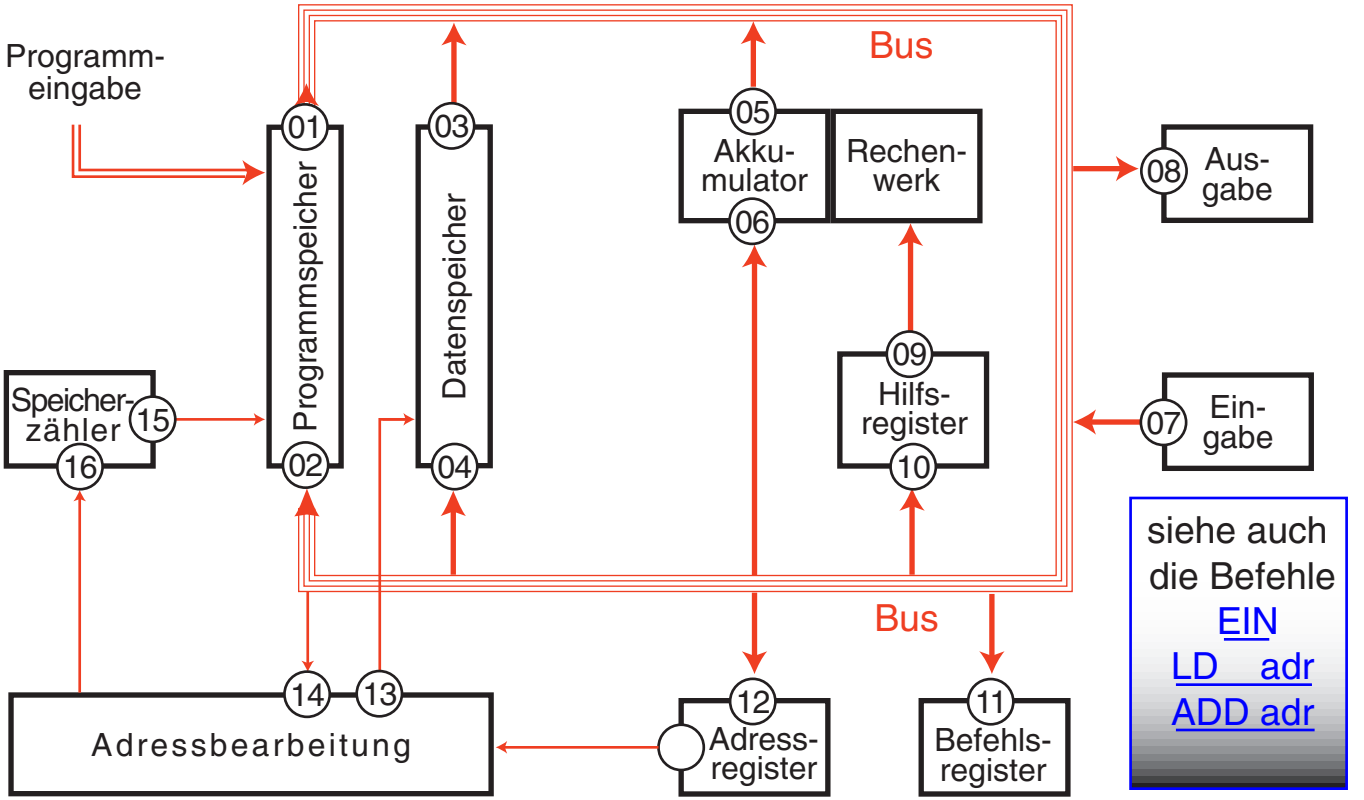
Mikroprogrammierung : Torsteuerung 1

Es muß beschrieben werden, in welcher Reihenfolge Tore an den Registern geöffnet werden, um Informationen auf den Bus oder in die Register zu lassen. Geschlossene Tore lassen keine Informationen durch; daher muß nach jedem Öffnen wieder ein Schließen erfolgen. Tore sind UND-Gatter mit RS-Flipflop.



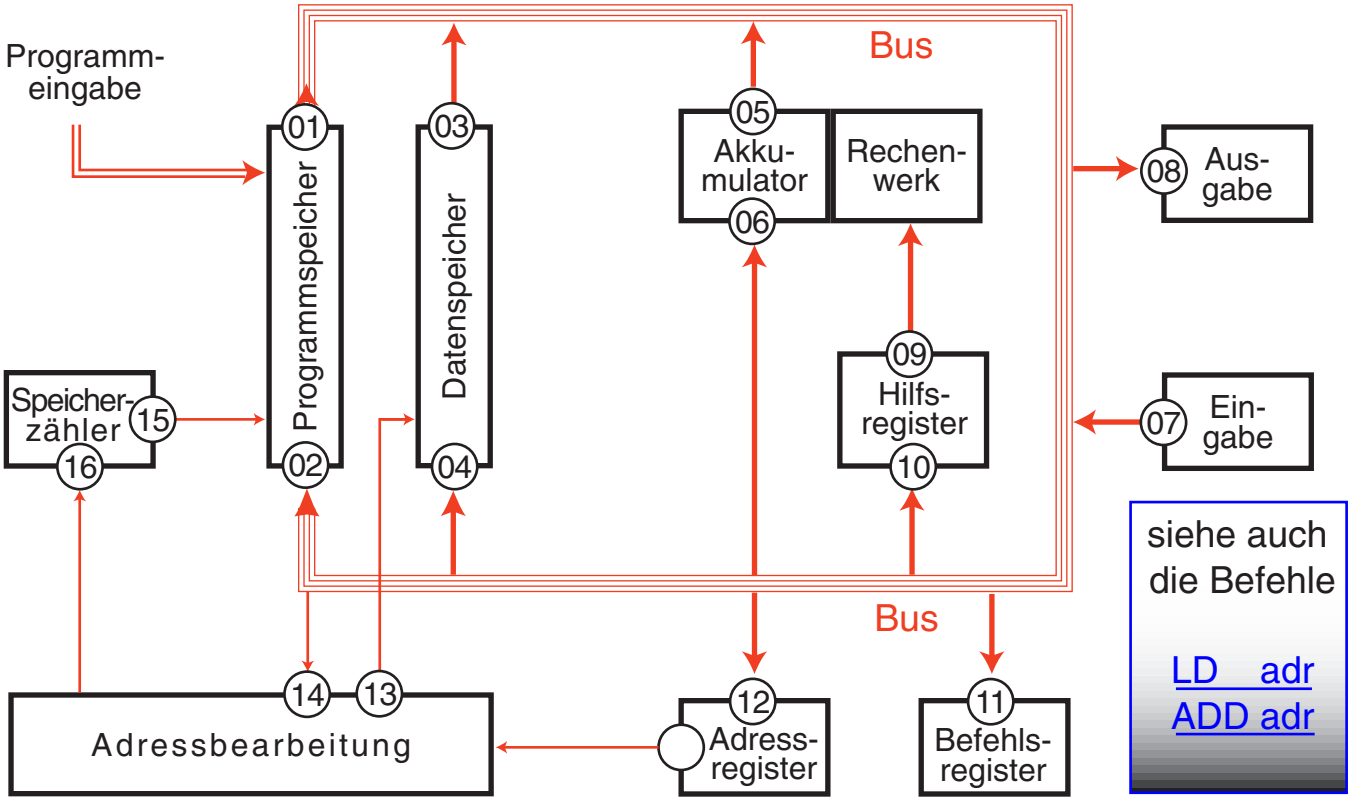
Mikroprogrammierung : Befehl holen

Der nächste Befehl soll ins Befehlsregister übertragen werden,
anschließend muß der Speicherzähler um 1 erhöht werden.
Tor 15 auf, Tor 01 auf, Tor 11 auf, Tor 11 zu, Tor 01 zu, Tor 15 zu.{ Befehl geladen }
Tor 16 auf, Tor 16 zu. { Der Speicherzähler um 1 erhöht }



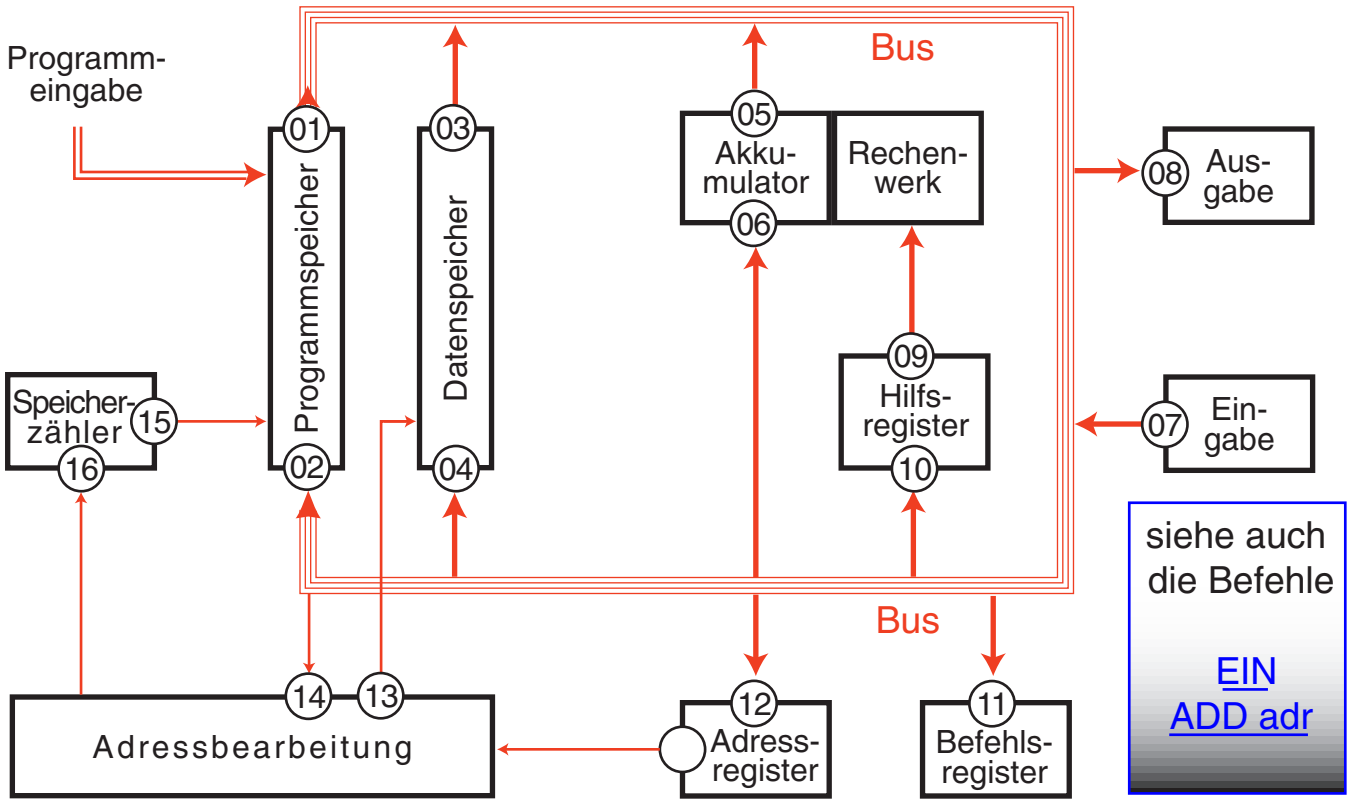
Mikroprogrammierung : EIN

"EIN" holen wie oben, dann zur Übernahme der Eingabe in den Akkumulator :
"EIN" ausführen : Tor 07 auf, Tor 06 auf, Tor 06 zu, Tor 07 zu.



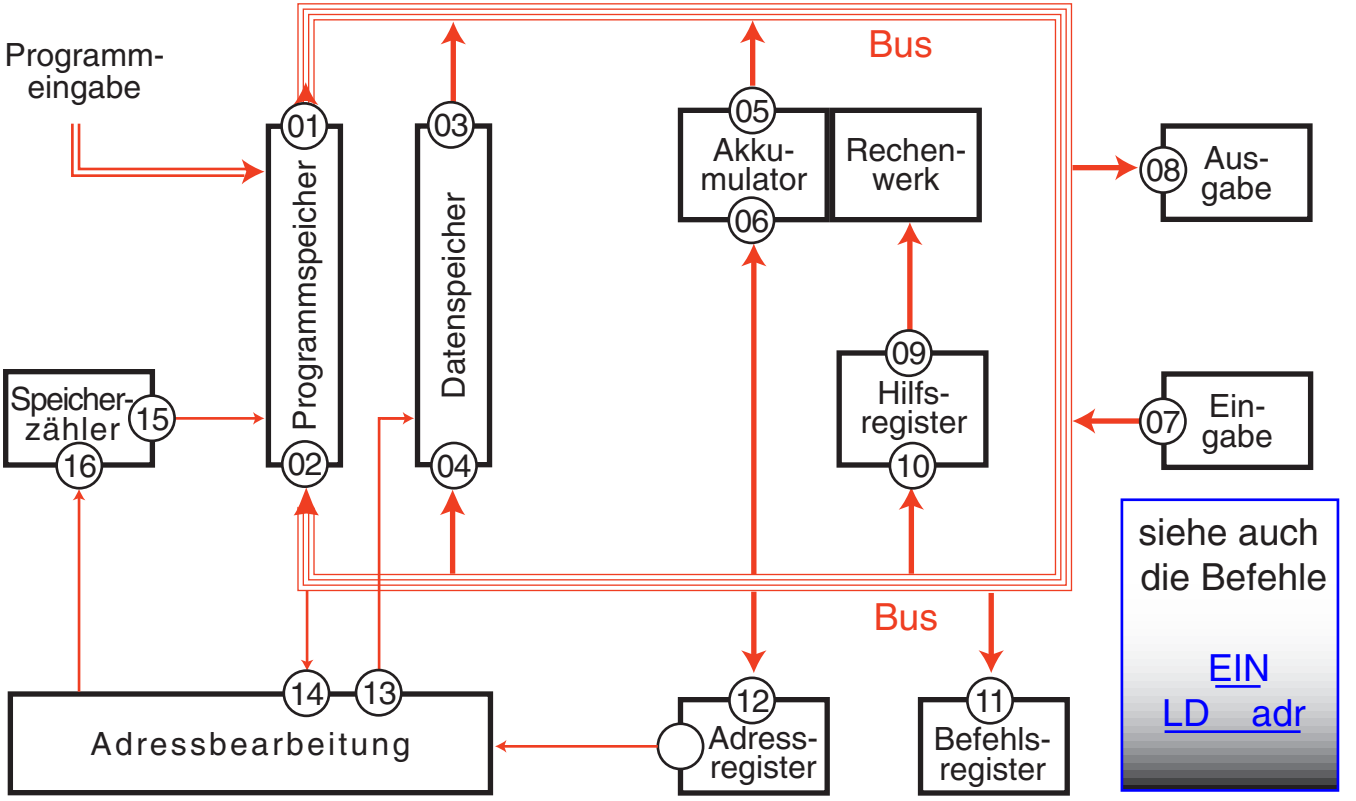
Mikroprogrammierung : LD adr

Befehl holen wie oben, dann zweiteilige Adresse holen :
Tor 15 auf, Tor 1 auf, Tor 12 auf, Tor 12 zu, Tor 1 zu, Tor 15 zu, Tor 16 auf, Tor 16 zu;
Tor 15 auf, Tor 1 auf, Tor 12 auf, Tor 12 zu, Tor 1 zu, Tor 15 zu, Tor 16 auf, Tor 16 zu;
Nun Daten von Speicher adr in den Akku laden:
Tor 13 auf, Tor 3 auf, Tor 6 auf, Tor 6 zu, Tor 3 zu, Tor 13 zu.



Mikroprogrammierung : ADD adr

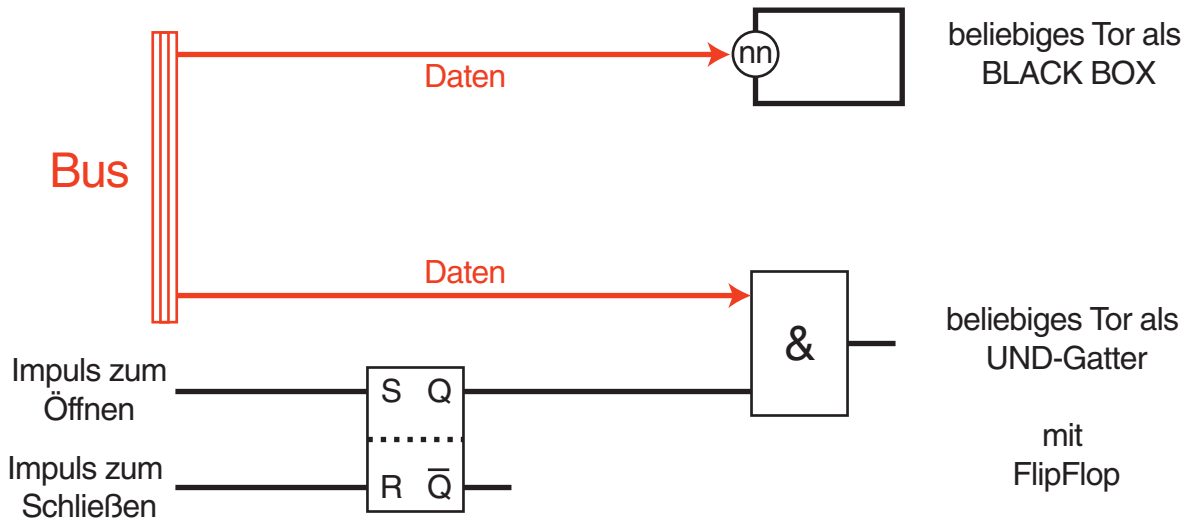
Befehl holen wie oben, zweiteilige Adresse holen wie oben:
Der 1. Summand steht im Akku, der 2. Summand im Datenspeicher. Von dort wird er über das Hilfsregister zum Rechenwerk geleitet und zum Wert des Akku addiert; die Summe steht wieder im Akku:
Tor 13 auf, Tor 3 auf, Tor 10 auf, Tor 9 auf, Tor 9 zu, Tor 10 zu, Tor 3 zu, Tor 13 zu.



Mikroprogrammierung : Torsteuerung 2

Torsteuerung 1

Es muss beschrieben werden, in welcher Reihenfolge Tore an den Registern geöffnet werden, um Informationen auf den Bus oder in die Register zu lassen. Geschlossene Tore lassen keine Informationen durch; daher muss nach jedem Öffnen wieder ein Schließen erfolgen. Tore sind UND-Gatter mit RS-Flipflop.




Von Neumann Rechner
Vergrößerung und Beschleunigung einzelner von-Neumann-Komponenten
CPU
RISC, CISC
RAM
Cache
Pipelining
BUS
16 bit, 32 bit, 64 bit, ...
Zusätze innerhalb der von Neumann-Architektur
Coprozessoren
Integer-Arithmetik
Real-Arithmetik
D irect
M emory
A ccess
i/O-Prozessoren
Eingabe
Ausgabe
Neue Architekturen
Vektor-rechner
Parallel-rechner
Multiprozessor-systeme
Neue Konzepte
Analog arbeitende Rechner
Neuronal vernetzte Systeme
Organisch arbeitende Systeme
Zeitliche Entwicklung, seit John von Neumann Programme als Information speicherte
1950
2000
2010

Leistung skalarer Einprozessorsysteme

CISC = Complex Instruction Set Computer
RISC = Reduced Instruction Set Computer

MIPS = Mega Instructions Per Second
GIPS = Giga Instructions Per Second

$$\text{Leistung} = \frac{f \cdot N_p}{A_\mu + A_m} \text{ [MIPS]}$$

f : Taktfrequenz des µProzessors in MHz

N_p : Anzahl der voneinander unabhängigen Datenprozessoren im µProzessor

A_μ : Mittlere Anzahl von Mikroinstruktionen pro Maschinenbefehl

A_m : Anzahl der Taktzyklen für einen Speicherzugriff

$$\text{Leistung} = \frac{250 \cdot 1}{6 + 4} \text{ 25 MIPS}$$

etwa 1998

f 250 MHz

N_p = 1

A_μ 6

A_m 4

Leistungssteigerung

Leistungssteigerung skalarer Einprozessorsysteme

f 1-10 GHz eine höhere Frequenz wird kaum erreicht werden, weil
- die Leiterbahnen im µChip endliche Längen haben
- die verschiedenen Leiterbahnenlängen Signalverzögerungen erfordern.
- der induktive Widerstand von Biegungen (= halbe Spulenwindung) proportional mit der Frequenz wächst. (RL = 2 f · L)

Np 5 etwa Intel Pentium Pro oder Motorola MPC750 Microprozessor
- 2 Integer-Prozessoren,
- 2 Gleitkomma-Prozessoren
- 1 I / O - Prozessor

Aµ 1 etwa durch Verwendung von
- RISC-Prozessoren und
- Pipelineverfahren sowohl bei der
  - Befehlsausführung als auch bei
  - längeren arithmetischen Operationen

Am 1 etwa durch Verwendung von Cache-Speichern auf dem ProzessorChip

$$\underset{\text{etwa } 2000}{\textit{Leistung}} = \frac{10\,000 \cdot 5}{1 + 1} = 25\,000 \ \textit{MIPS} = 25 \ \textit{GIPS}$$

Pipelineverarbeitung

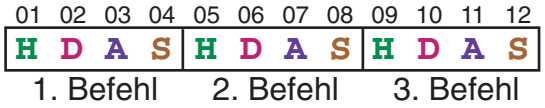
Die Ausführung einer Instruktion wird in mehrere Teilschritte zerlegt,
um gleichzeitig verschiedene Teilschritte mehrerer Instruktionen zu bearbeiten:

- bei aufwendigen arithmetischen Operationen
- bei der Befehlsverarbeitung (Beispiel unten)

Zur Veranschaulichung werde jeder Befehl in 4 gleich langen Phasen ausgeführt;
jede Phase besteht bei n-bit-Registern aus n Takten:

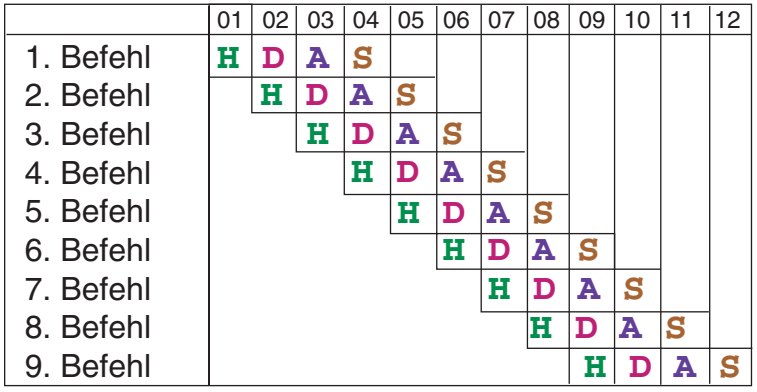
Holen, **D**ecodieren, **A**usführen, **S**peichern

Beispielsweise benötigen 3 Befehle 12 Phasen:



Im Pipelineverfahren werden die Phasen zeitlich versetzt gestartet, so daß zu jeder Zeit jeweils vier Phasen verarbeitet werden.

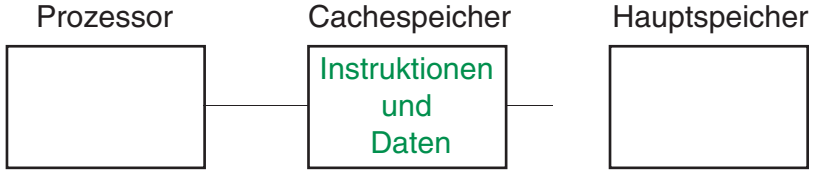
In 12 Phasen werden nun 9 Befehle abgearbeitet, was dem 3-fachen (max 4 -fachen) der Verarbeitungsgeschwindigkeit entspricht.



Beim SuperPipelineverfahren werden Halbphasen verarbeitet und damit fast eine weitere Verdoppelung der Verarbeitungsgeschwindigkeit erreicht.

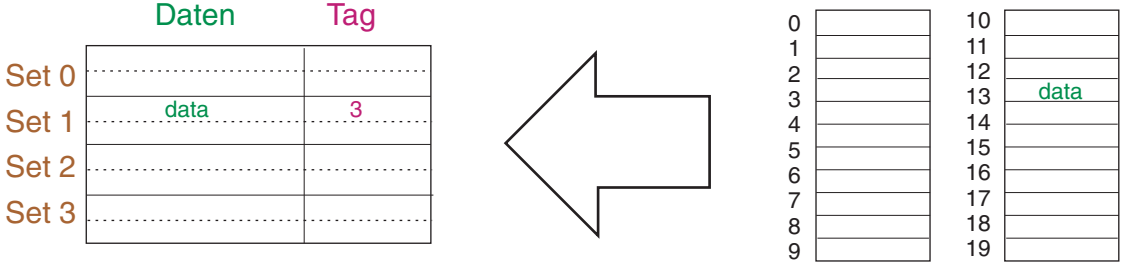
Cachespeicher

Zur Erhöhung der Verarbeitungsgeschwindigkeit werden zeitweise oft benötigte Daten und Programmteile in einem kleinen, schnellen Speicher innerhalb der CPU abgelegt.



Cachespeicher mit einer Princeton- Architektur

Die Zugriffszeit auf diesen Cachespeicher entspricht etwa der Zugriffszeit auf Register; damit kann Zeit gewonnen und der interne Bus entlastet werden.



Zweiweg-assoziativer Cachespeicher mit 4 Cachesets

Hauptspeicher

Neben den Daten „data“ aus dem Hauptspeicher müssen im Cache auch die Herkunftsadressen der Daten als SetNr und Tag gespeichert werden:

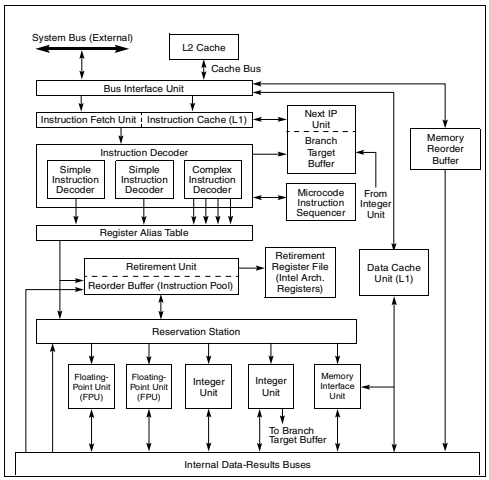
allgemein:

SetNr = Speicheradresse MOD Anzahl Cachesets
Tag = Speicheradresse DIV Anzahl Cachesets

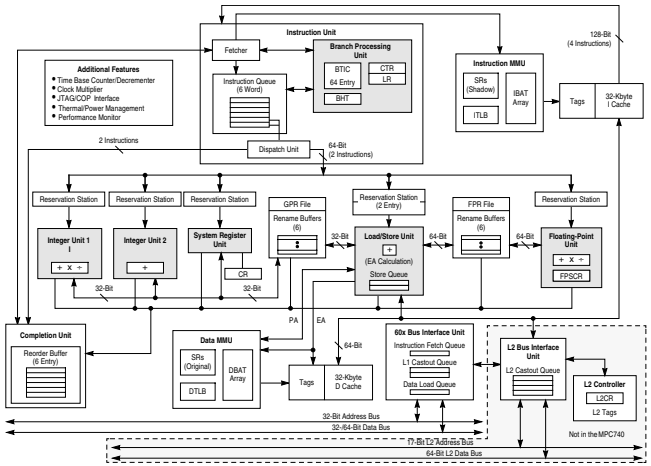
Beispiel:

SetNr = 13 MOD 4 = 1
Tag = 13 DIV 4 = 3

Beispiele von Cache- und Pipelining



Intel PentiumPro®



Motorola PowerPC750®

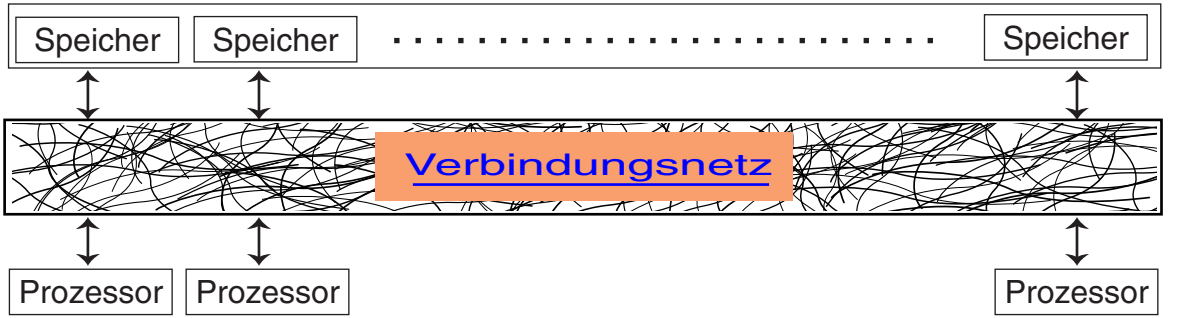
Leistungssteigerung

Multiprozessorsysteme

Multiprozessorsysteme

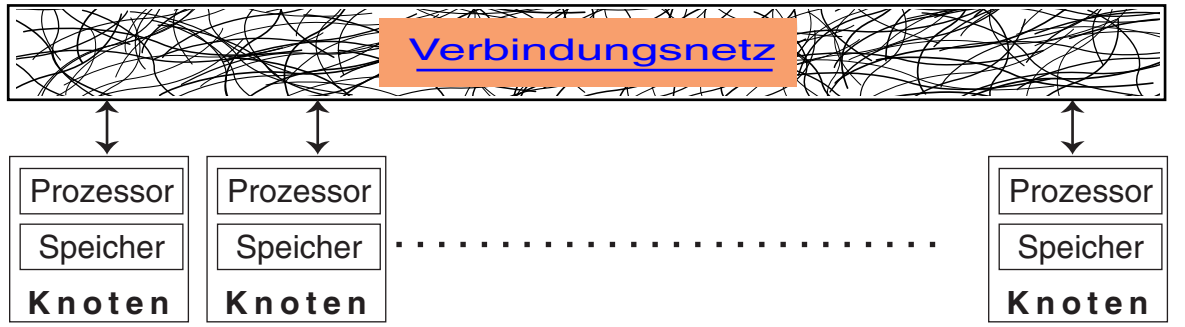
Systeme mit gemeinsamem Speicher sind charakterisiert durch:

- globaler Adressraum
- Programmierung mit konventionellen Sprachen
- nicht skalierbar, maximal 30 Prozessoren



Systeme mit verteiltem Speicher sind charakterisiert durch:

- skalierbar, 1000 Prozessoren und mehr
- Programmierung in neuen Sprachen; diese Sprachen werden zur Zeit entwickelt und beinhalten:
  - Aufteilung in einzelne Prozesse, Parallelisierung
  - Kommunikation zwischen den Prozessen
  - Koordinierung der Prozesse

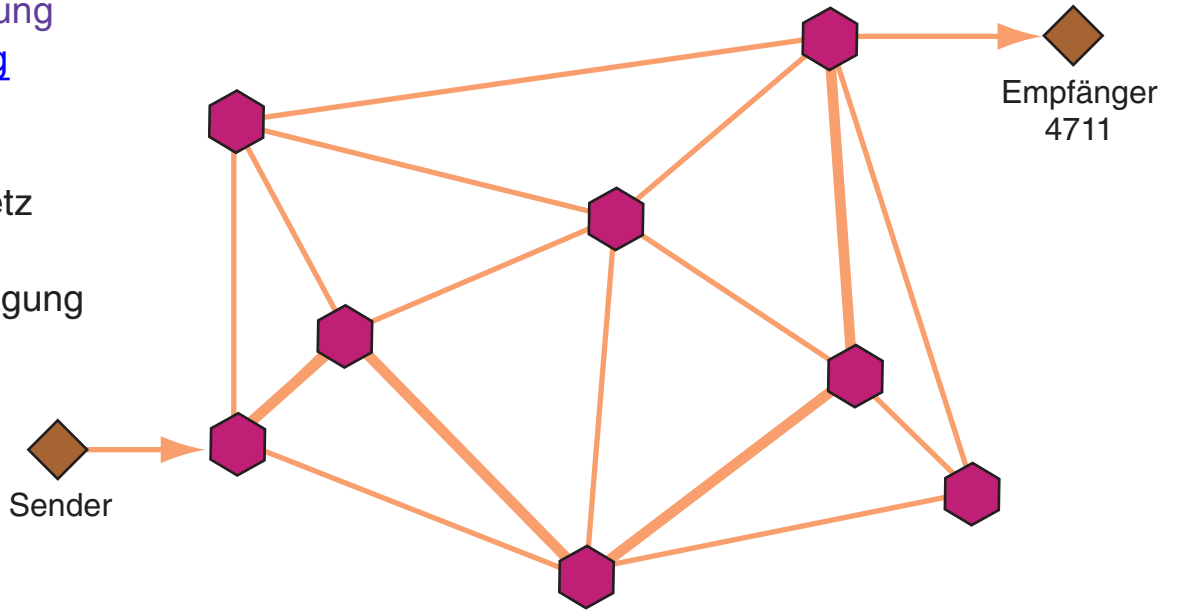


Verbindungsnetze : Arbeitsweise, Topologie

Verbindungsart:

Leitungsvermittlung
Paketvermittlung
Zellvermittlung

- etwa Telefonnetz
- zeitabhängig
- Sprachübertragung



Bei der Leitungsvermittlung wird für die Dauer der Übertragung eine Datenleitung über viele Knoten reserviert und blockiert damit die gesamte Leitung. Die Daten oder Gespräche werden mit den Pausen in einem einzigen Block gesendet.

Verbindungsnetze : Arbeitsweise, Topologie

Verbindungsart:

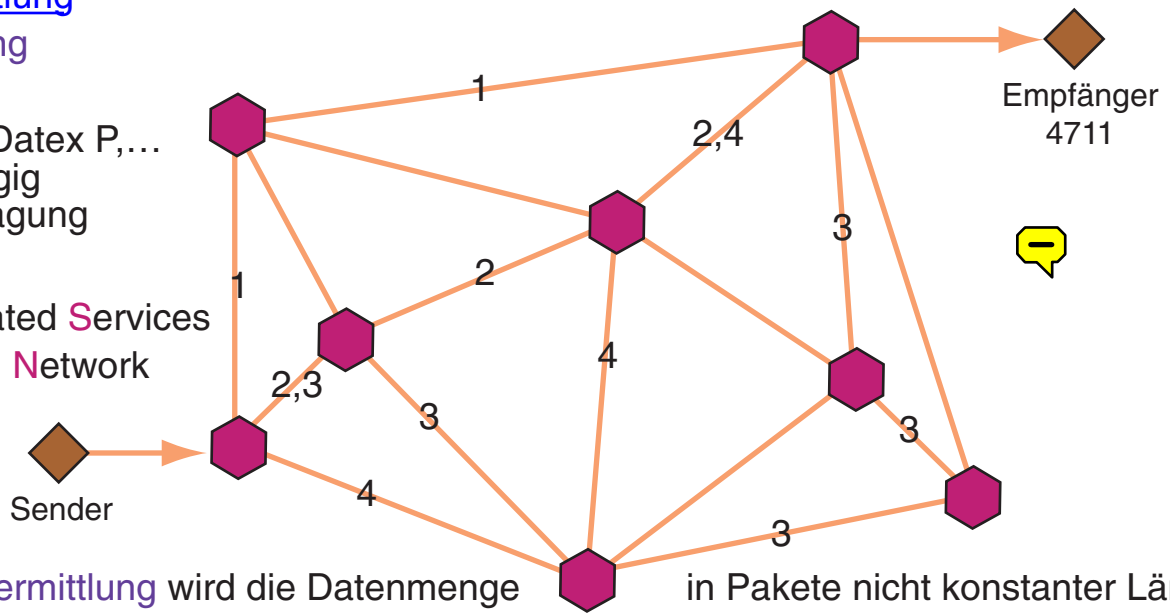
Leitungsvermittlung

Paketvermittlung

Zellvermittlung

- etwa ISDN, Datex P,…
- zeitunabhängig
- Datenübertragung

ISDN = Integrated Services Digital Network



Bei der Paketvermittlung wird die Datenmenge in Pakete nicht konstanter Länge zerlegt. Beim Senden wird jedes Paket nummeriert und mit der Empfängeradresse versehen. Jedes Paket sucht sich seinen eigenen Weg. Dadurch wird das Netz gleichmäßig ausgelastet; die Nachricht erreicht schneller das Ziel. Der Empfängerknoten setzt alle Pakete

4711.1	4711.2	4711.3	4711.eof
Diese Zeile	stellt eine	verschlüsselte	Botschaft dar.

in der richtigen Reihenfolge zusammen und übermittelt die Nachricht zum Empfänger.

Verbindungsnetze : Arbeitsweise, Topologie

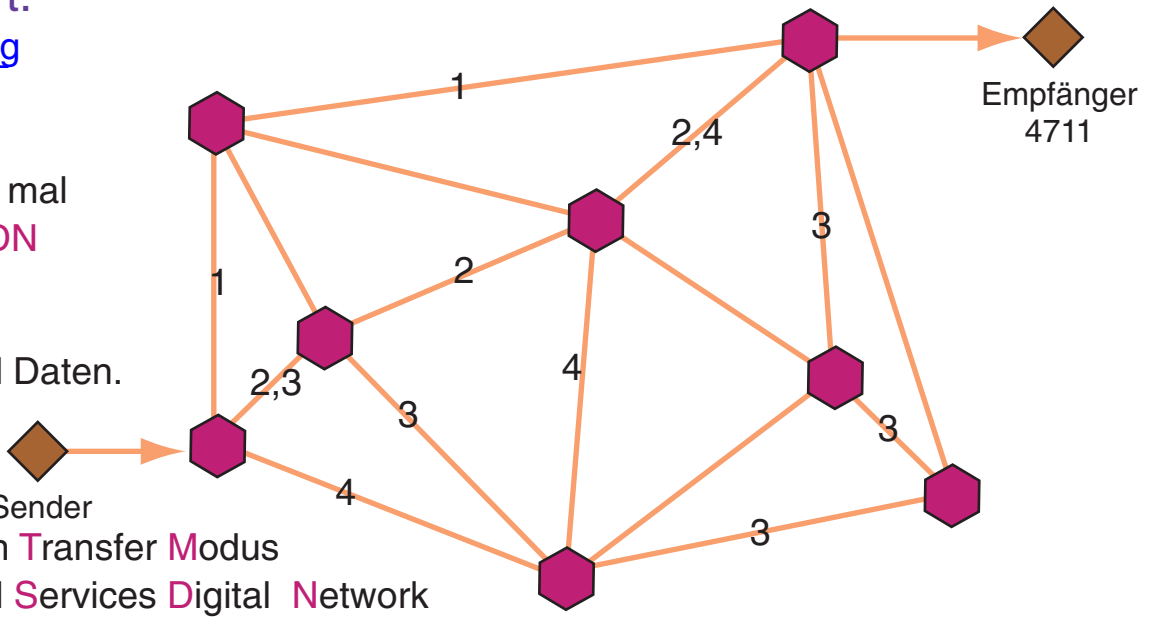
Verbindungsart:

Leitungsvermittlung

Paketvermittlung

Zellvermittlung

- etwa ATM, 1000 mal schneller als ISDN
- zeitunabhängig
- Übertragung von Sprache und Daten.



ATM = Asynchron Transfer Modus

ISDN = Integrated Services Digital Network

Bei der Zellvermittlung werden die Datenpakete auf Zellen aufgeteilt, die genau 48 Bytes an Daten und 5 Bytes für den Header zur Zielangabe aufnehmen. Beim Senden wird jede Zelle nummeriert und mit der Adresse des nächsten Routers versehen. Die Router verwalten den gesamten Prozess. Die Nachricht erreicht so schnell das Ziel, daß Bilder in Echtzeit übertragen werden. ATM ist zugleich Vermittlungs- und Übertragungstechnik.

Header (5 Bytes) Datenteil (48 Bytes)

Verbindungsnetze : Verbindungsart, Topologie

Arbeitsweise:

- synchron

  einfach zu realisieren. Sender und Empfänger übertragen zu festen, zentral getakteten Zeitpunkten. Dies geht wegen der verschiedenen Weglängen nur für kleine Netze : LAN (= Local Area Network)

- asynchron

  nicht so einfach zu realisieren. Jeder Sender und jeder Empfänger stellen zu jedem beliebigen Zeitpunkt ihre Übertragungsanforderungen (Baudrate) an das Netz. Dieses Verfahren ist auch für große Netze geeignet : WAN (= Wide Area Network)

Wegsteuerung:

- zentral

  Der Wegaufbau im Netz erfolgt unabhängig von der zu übertragenden Information.

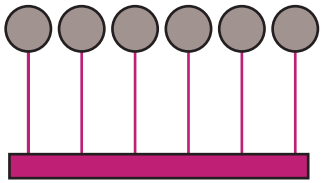
- dezentral

  Die Wegangabe muss im Kopf der zu übertragenden Nachricht stehen.

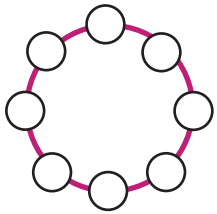
Verbindungsnetze : Verbindungsart, Arbeitsweise

Topologie:

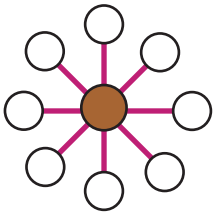
allgemein, speziell



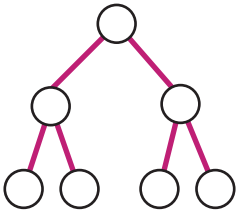
Bus



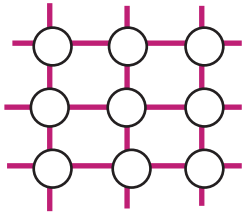
Ring



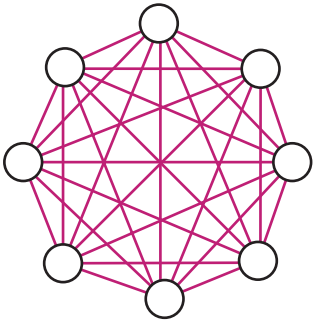
Stern



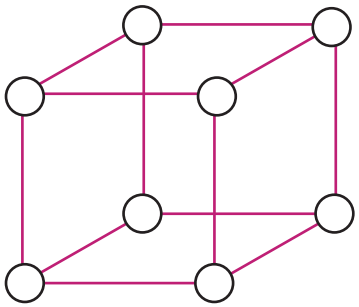
Baum



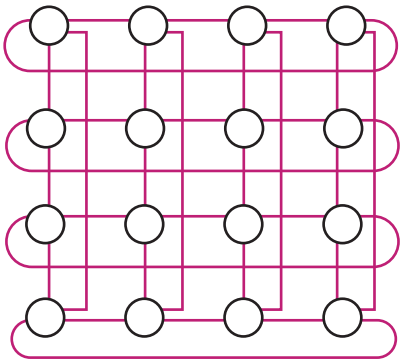
Gitter



Vollständige Vernetzung



3 D - Würfel



4 D - Hyperwürfel (flächenhaft)

Verbindungsnetze : Verbindungsart, Arbeitsweise

Topologie:

allgemein , speziell Sterntopologie mit SubNetzen